



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0083531  
Application Number

출원년월일 : 2002년 12월 24일  
Date of Application DEC 24, 2002

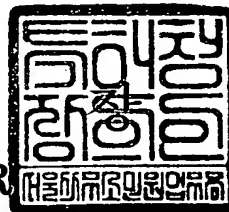
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 27 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0009  
**【제출일자】** 2002.12.24  
**【발명의 명칭】** MIM 구조의 커패시터 제조방법  
**【발명의 영문명칭】** Method Building Capacitor Layer in MIM Structure  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 서만규  
**【대리인코드】** 9-1998-000260-4  
**【포괄위임등록번호】** 2001-066005-7  
**【발명자】**  
**【성명의 국문표기】** 조보연  
**【성명의 영문표기】** JO,Bo Yeoun  
**【주민등록번호】** 700225-1063218  
**【우편번호】** 467-902  
**【주소】** 경기도 이천시 장호원읍 노탑리 기산아파트 412호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)  
**【수수료】**  
**【기본출원료】** 12 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 니트라이드막과 Ti/TiN막이 적층된 MIM 구조의 커패시터 제조방법으로서,  $\text{Cl}_2$ ,  $\text{CHF}_3$ , Ar으로 구성되는 혼합가스를 이용하여 Ti/TiN 메탈라인을 에칭하는 단계; 및  $\text{CHF}_3$ , Ar으로 구성되는 혼합가스를 이용하여 니트라이드막을 에칭하는 단계를 포함하여 구성된다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

MIM 구조의 커패시터 제조방법 {Method Building Capacitor Layer in MIM Structure}

**【도면의 간단한 설명】**

도1은 일반적인 에칭방법에 의하여 구성되는 MIM 커패시터 구조,

도2는 본 발명의 에칭방법에 따라 니트라이드막을 에칭한 경우의 MIM 커패시터 구조, 그리고

도3은 본 발명에 따른 평탄한 니트라이드 잔존막을 형성하는 메탈 RIE 공정의 플로우차트이다.

-도면의 주요부분에 대한 부호의 설명-

21: 하부메탈라인 22: 니트라이드막

23: 상부메탈라인 24: 니트라이드 잔존막

S31,32,33,34,35,36: 적층 및 에칭 단계

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 상세하게는 MIM 커패시터 제조시 니트라이드의 잔류물을 효과적으로 제거할 수 있는 개선된 MIM 커패시터의 제조방법에 관한 것이다.

- <9> 반도체 소자에 사용하는 커패시터는 PIP(Poly Insulator Poly)구조와 MIM(Metal Insulator Metal)구조로 크게 구별되고 있다. 각 구조는 사용하는 용도에 따라 적절히 선택되고 있다. 이들 중 MIM구조는 고주파를 사용하는 반도체 소자에 주로 이용되고 있다. 왜냐하면, 고주파 소자에는 RC지연에 의하여 소자특성이 달라지므로, 가급적 전기적 특성이 좋은 메탈을 사용하는 MIM 구조가 바람직하기 때문이다.
- <10> 도1은 일반적인 MIM 구조를 도시하고 있다. 도1에 도시된 바와같이, MIM 구조는 제1메탈라인(11), 절연라인(12), 및 제2메탈라인(13)이 순서대로 적층된다. 제1메탈라인(11)은 예를들어 2개의 Ti/TiN 막 사이에 AlCu막을 삽입한 형태로 구성되고, 제2메탈라인(13)은 예를들어 하나의 Ti/TiN막으로 구성된다. 절연라인(12)은 제1 및 제2 메탈라인 사이에 위치하며, 성분은 예를들어 니트라이드(Nitride) 막으로 구성된다.
- <11> 이러한 구조의 MIM 커패시터를 형성하는 방법은 일반적으로 메탈 반응성 이온에칭(Metal Reactive Ion Etching) 공정을 이용하며, 이러한 공정에서는 니트라이드 막의 표면에 거칠게 형성되는 니트라이드 잔류물(14)이 생성된다. 이와같이, 울퉁불퉁한 니트라이드 잔류물(14)이 발생하는 것은 얇은 니트라이드 막의 사용과 공정조건의 부적정에 기인하는 것으로, 이러한 원인들은 적은 에칭 마진 및 니트라이드 제거능력이 탁월한 공정조건의 미적용으로 이어진다. 또한, 울퉁불퉁한 니트라이드 잔류물은 메탈 클리닝 공정에서 막의 성질이 변하여 후속 공정에서도 제거가 되지 않는다. 이러한 니트라이드 잔류물을 제거하기 위하여 에칭시간을 증가시키면 곳곳에서 하부층이 들어나서, 후속 공정인 패터닝 공정에서 패턴 불량을 야기함으로써 패턴 쇼트의 원인이 되므로, 이러한 방법을 사용하는 것도 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명은 이러한 종래의 울퉁불퉁한 니트라이드 잔류물의 문제점을 해결하기 위한 것으로, 니트라이드 막의 에칭시 평탄하게 제거할 수 있는 공정방법을 제공함으로써, MIM 특성을 향상시키고, 메탈 에칭시의 공정의 안정성을 제고하고, 또한 후속 공정의 공정 마진을 높이는 것을 목적으로 한다.

【발명의 구성 및 작용】

<13> 이러한 목적을 달성하기 위하여 본 발명은 반응성 이온에칭공정의 조건에서 상부 메탈라인인 Ti/TiN 막의 에칭조건과 절연라인인 니트라이드 막의 에칭조건을 변경하여, Ti/TiN가 완전히 제거된 시점에서 니트라이드막 만을 효과적으로 제거할 수 있는 에칭조건을 제공함으로써, 니트라이드 잔류물의 표면을 평탄하게 에칭될 수 있는 에칭방법을 제공한다.

<14> 이하, 첨부도면을 참조하여 본 발명을 상세히 설명한다.

<15> 도2는 본 발명의 에칭방법에 따라 니트라이드막을 에칭한 경우의 MIM 구조이다. 도2에 도시된 바와같이, MIM 구조는 하부메탈라인(21), 니트라이드 막(22), 및 상부메탈라인(23)이 순서대로 적층되어 있다. 하부메탈라인(21)은 예를들어 2개의 Ti/TiN 막 사이에 AlCu 막을 삽입한 형태로 구성되고, 상부메탈라인(23)은 예를들어 하나의 Ti/TiN막으로 구성된다. 절연막으로 사용되어 커패시터 기능을 하는 니트라이드 막(22)은 제1 및 제2 메탈라인 사이에 위치한다. 도2에 도시된 바와같이, 본 발명의 에칭방법에 따라 형성된 니트라이드 막의 잔존막(24)은 평탄한 표면을 이루고 있다.

<16> 이하에서는 도2의 니트라이드 잔존막을 형성하는 에칭공정방법을 설명한다.

- <17> 도3은 본 발명에 따른 평탄한 니트라이드 잔존막을 형성하는 메탈 RIE 공정의 플로우차트이다. 도3에 도시된 바와같이, MIM 구조에서 니트라이드 막을 에칭하는 방법은, 하부메탈라인 디포지션(S31), 니트라이드막 디포지션(S32), 상부메탈라인 디포지션(S33), 포토레지스트 패터닝(S34), 상부메탈라인 에칭(S35) 그리고 니트라이드막 에칭(S36) 등의 순서로 진행된다.
- <18> 먼저, 하부메탈라인에 해당하는 Ti/TiN, AlCu, Ti/TiN 적층 메탈라인을 약 5000Å 정도의 두께로 디포지션한다. 이때, 스퍼터링 등의 방법이 이용된다.
- <19> 다음으로, 커패시터 역할을 하는 절연층인 니트라이드막(PE-SiN)이 약 600Å 정도의 두께로 디포지션한다.
- <20> 니트라이드막의 상부에 적층되는 상부메탈라인은 Ti/TiN의 두께가 각각 500Å 및 1500Å 정도의 두께를 이루도록 디포지션한다.
- <21> 패터닝을 위하여 사용되는 포토레지스트는 13000Å 정도의 두께로 도포한다.
- <22> 패터닝까지 완료되면, 메탈 RIE를 다음의 조건으로 실시한다. 먼저, 상부메탈라인인 Ti/TiN의 에칭조건으로서, 8mT/900W 소스에, 150W 바이어스를 가하고, 반응가스로서 50Cl<sub>2</sub>/10CHF<sub>3</sub>/50Ar으로 혼합된 플라즈마를 가하여, 약 45 내지 55초 동안, 바람직하게는 약 50초 동안 에칭공정을 실시한다. 이 단계에서 중요한 것은 CHF<sub>3</sub>를 이용하여 SiN 노즐을 제거한다는 점이다. 그리고, Cl<sub>2</sub>를 이용하여 에칭공정이 이루어지고 있지만, 추가적으로 Ti/TiN의 측벽을 보호하고 아울러 Ti와 계면을 이루고 있는 니트라이드를 어느 정도 제거하기 위하여 CHF<sub>3</sub>이 사용되고 있으며, 또한 균일도(Uinformity)를 향상시키기 위하여 Ar를 사용하고 있다.
- <23> 상부메탈라인인 Ti/TiN의 에칭이 완료되면, 니트라이드막의 에칭조건을 8mT/900W 소스, 150W 바이어스, 반응가스로서 50Cl<sub>2</sub>/100Ar으로 변경하고, 약 5초 내지 7.5초 동안, 바람직하게

는 약 6초 동안 에칭공정을 실시한다. 이 단계에서는  $\text{CHF}_3$  를 사용하지 않고,  $\text{Cl}_2$  를 이용하여 남아 있는 메탈을 제거한다. 만약, 이 단계에서  $\text{CHF}_3$  를 사용한다면 하부층의 니트라이드가 과도하게 에칭되어 MIM 특성을 저하시키기 때문이다. 또한, 이 단계에서는  $\text{Cl}_2$  와 Ar의 양을 1:2 의 비로 한다. 이는, 효과적으로 메탈 잔류물을 제거하고 균일도를 향상시킬 수 있다. 한편, 이 단계에서 소요되는 시간은 상부메탈라인 에칭시간의 10 내지 15%로 설정한다. 이는 적절한 잔류 니트라이드 두께 및 메탈 잔류물의 제거 등을 고려할 때 가장 적절한 소요시간이다.

<24> . 한편, 에칭에 사용되는 바이어스전압은 150W 이상으로 한다.

#### 【발명의 효과】

<25> 이상의 에칭방법에 의하면, 니트라이드 막을 평탄하게 에칭할 수 있게 됨으로써, MIM 특성의 향상, 메탈 에칭시의 공정의 안정성 제고, 또한 후속 공정의 공정 마진의 증대 등의 효과가 있다.



**【특허청구범위】****【청구항 1】**

니트라이드막과 Ti/TiN막이 적층된 MIM 구조의 커패시터 제조방법에 있어서,  
Cl<sub>2</sub>, CHF<sub>3</sub>, Ar으로 구성되는 혼합가스를 이용하여 Ti/TiN 메탈라인을 에칭하는 단계; 및  
Cl<sub>2</sub>, Ar으로 구성되는 혼합가스를 이용하여 니트라이드막을 에칭하는 단계를 포함하는  
것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 Ti/TiN 에칭단계는  
50Cl<sub>2</sub>, 10CHF<sub>3</sub>, 50Ar 의 비율로 구성되는 혼합가스를 45 내지 55초 동안 반응시키는 것을  
특징으로 하는 MIM 구조의 커패시터 제조방법.

**【청구항 3】**

제1항 또는 제2항에 있어서, 상기 니트라이드막 에칭단계는  
50Cl<sub>2</sub>, 100Ar 의 비율로 구성되는 혼합가스를 5 내지 7.5초 동안 반응시키는 것을 특징  
으로 하는 MIM 구조의 커패시터 제조방법.

**【청구항 4】**

제3항에 있어서,  
각 단계는 150 내지 250W 의 바이어스 전압을 사용하는 것을 특징으로 하는 MIM 구조의  
커패시터 제조방법.

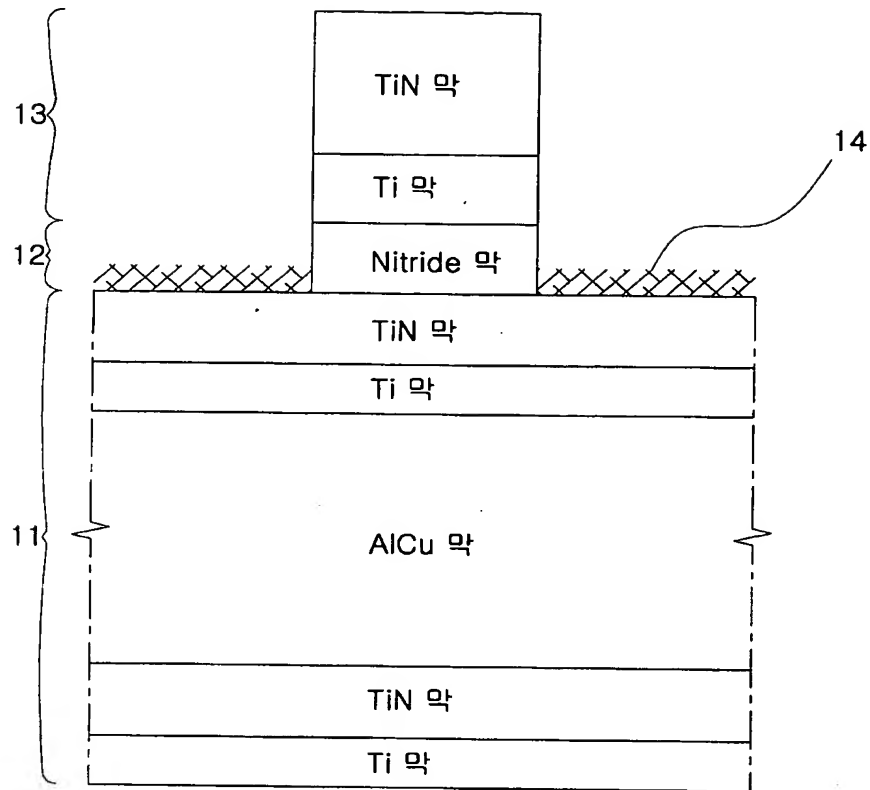
**【청구항 5】**

제4항에 있어서,

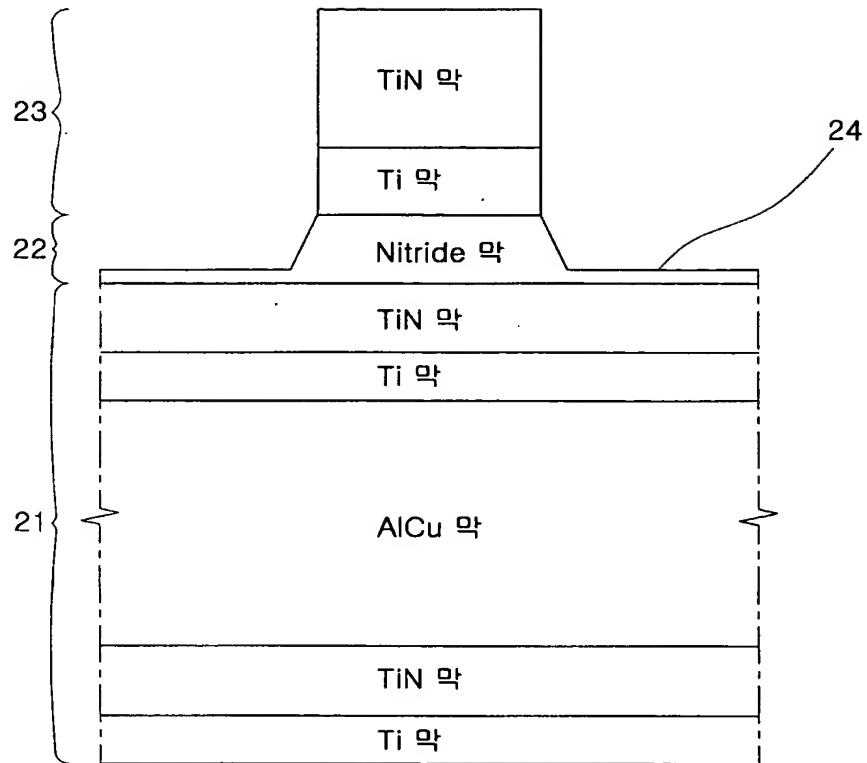
각 단계의 바이어스 전압은 동일하게 설정하는 것을 특징으로 하는 MIM 구조의 커패시터 제조방법.

【도면】

【도 1】



【도 2】



【도 3】

